

Souhrnná výzkumná zpráva k projektu Vývoj ovladače rekonfigurovatelné platformy pro FreeRTOS

Projekt: Inovační voucher JIC - Vývoj ovladače rekonfigurovatelné platformy pro FreeRTOS

Objednatel: RehiveTech, spol. s r.o.

Zhotovitel: Vysoké učení technické v Brně

Předmětem plnění smlouvy o dílo ze dne 23. 6. 2014 mezi Objednatelem a Zhotovitelem, uzavřené v rámci projektu, byl vývoj kompletního ovladače pro FPGA komponenty - RSoC Bridge (dále „Dílo“) s cílem využití Díla v produktu Objednatele.

Dílo bylo vyvíjeno a testováno na, k tomuto účelu Objednatelem poskytnuté, platformě ZedBoard (s čipem Xilinx Zynq disponujícím moderním FPGA a výkonným procesorem typu ARM na jediném čipu) s cílem potencionální budoucí využitelnosti Díla Objednatelem na dalších obdobných platformách (např. Altera Cyclone V Soc) či operačních systémech (např. Linux). Pro vývoj Díla bylo použito vývojové prostředí Xilinx SDK 2013.4 a FreeRTOS V7.0.2 dostupný pro toto prostředí.

Dílo bylo Objednateli předáno ve formě jeho výstupů, tj.:

- přeložitelných zdrojových kódů/textů (tj. realizace řešení) ovladače v jazyce C,
- dokumentace k realizaci řešení ve formátu Doxygen,
- zprávy shrnující výsledky naměřených parametrů realizace řešení na platformě ZedBoard.

Výstupy Díla byly Objednateli předány na DVD v rámci aktu předání díla formou protokolu ze dne 10. 3. 2015. Tímto aktem došlo, dle výše zmíněné smlouvy, k přechodu vlastnického práva k hmotnému základu Díla ze Zhotovitele na Objednatele.

V Brně dne 31. 3. 2015

Ing. Josef Strnadel, Ph. D.,

Vysoké učení technické v Brně, Fakulta informačních technologií