

# Souhrnná výzkumná zpráva k projektu Vývoj ovladače rekonfigurovatelné platformy pro FreeRTOS

**Projekt:** Inovační voucher JIC - Vývoj ovladače rekonfigurovatelné platformy pro FreeRTOS

**Objednatel:** RehiveTech, spol. s r.o.

**Zhotovitel:** Vysoké učení technické v Brně

Předmětem plnění smlouvy o dílo ze dne 23. 6. 2014 mezi Objednatelem a Zhotovitelem, uzavřené v rámci projektu, byl vývoj kompletního ovladače pro FPGA komponenty - RSoC Bridge (dále „Dílo“) s cílem využití Díla v produktu Objednatele.

Dílo bylo vyvíjeno a testováno na, k tomuto účelu Objednatelem poskytnuté, platformě ZedBoard (s čipem Xilinx Zynq disponujícím moderním FPGA a výkonným procesorem typu ARM na jediném čipu) s cílem potencionální budoucí využitelnosti Díla Objednatelem na dalších obdobných platformách (např. Altera Cyclone V Soc) či operačních systémech (např. Linux). Pro vývoj Díla bylo použito vývojové prostředí Xilinx SDK 2013.4 a FreeRTOS V7.0.2 dostupný pro toto prostředí.

Dílo bylo Objednateli předáno ve formě jeho výstupů, tj.:

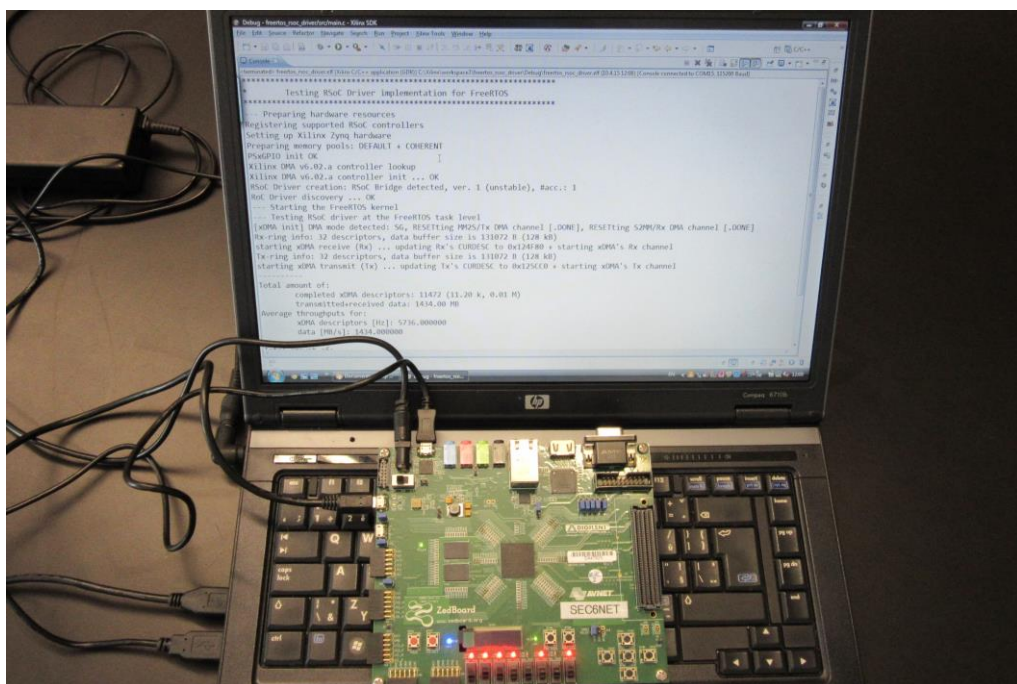
- přeložitelných zdrojových kódů/textů (tj. realizace řešení) ovladače v jazyce C,
- dokumentace k realizaci řešení ve formátu Doxygen,
- zprávy shrnující výsledky naměřených parametrů realizace řešení na platformě ZedBoard.

Výstupy Díla byly Objednateli předány na DVD v rámci aktu předání díla formou protokolu ze dne 10. 3. 2015. Tímto aktem došlo, dle výše zmíněné smlouvy, k přechodu vlastnického práva k hmotnému základu Díla ze Zhotovitele na Objednatele.

Před vlastním vývojem bylo nutno provést sadu měření s cílem vyhodnotit vlastnosti a limity poskytnutých realizačních prostředků. Výchozí měření bylo založeno na RSoC prototypch loopback a measure dodaných k tomuto účelu ve formě bitstreamů pro FPGA. Zejména byla provedena, na ovladači nezávislá, orientační měření pro zjištění vlivu nastavení vybraných vlastností paměťových oblastí (non-cached, write-back, write-through) na latenci/propustnost paměťových operací nad těmito oblastmi a měření související s propustností Xilinx AXI DMA rozhraní.

Pro vyhodnocení vlastností ovladače byla provedena sada rozsáhlých měření, konkrétně pak

- měření latencí základních funkcí commit(), poll() a ack() implementovaných v rámci RSoC ovladače pro FreeRTOS,
- měření latencí vybraných funkcí z rsoc\_stdlib, tvořící součást RSoC ovladače pro FreeRTOS, určených pro základní práci mj. s úlohami, spin locky a mutexy,
- měření latencí/propustnosti DMA kanálů a základních operací ovladače; Měření zahrnovalo opakované, nepřetržité vysílání dat přes Tx kanál a příjem dat na Rx kanálu AXI DMA realizace v RSoC pomocí funkcí poll() a commit() z API ovladače. Cílem bylo orientačně zjistit maximální souhrnné propustnosti dat přes Tx, Rx DMA kanály a latenci zpracování jednoho Tx/Rx deskriptoru v závislosti na počtu deskriptorů v ringu a velikosti bufferu na deskriptor.



V Brně dne 29. 3. 2016

Ing. Josef Strnadel, Ph. D.,

Vysoké učení technické v Brně, Fakulta informačních technologií