

ANALÝZA A ZLEPŠENÍ TESTOVATELNOSTI ČÍSLICOVÉHO OBVODU NA ÚROVNI MEZIREGISTROVÝCH PŘENOSŮ

Josef Strnadel

Informační technologie, 4. ročník, forma kombinovaná

Školitel: Doc. Ing. Zdeněk Kotásek, CSc.

FIT VUT v Brně

Božetěchova 2, 61266 Brno, Česká republika

strnadel@fit.vutbr.cz

Abstrakt. *Příspěvek se věnuje hlavním tématům, problémům a pojmům souvisejícím s problematikou analýzy a zlepšení testovatelnosti číslicového obvodu a používá jich k objasnění motivace a cílů výzkumu prováděného v rámci autorovy disertační práce. Ta je zaměřena zejména na návrh efektivní metody analýzy testovatelnosti číslicových obvodů na úrovni meziregistrových přenosů a demonstraci jejího použití při automatizovaném návrhu pro snadnou testovatelnost s využitím techniky scan.*

Klíčová slova. *úroveň meziregistrových přenosů, hierarchický test, testovatelnost, analýza testovatelnosti, návrh pro snadnou testovatelnost, generování benchmarkových obvodů.*

1 Úvod

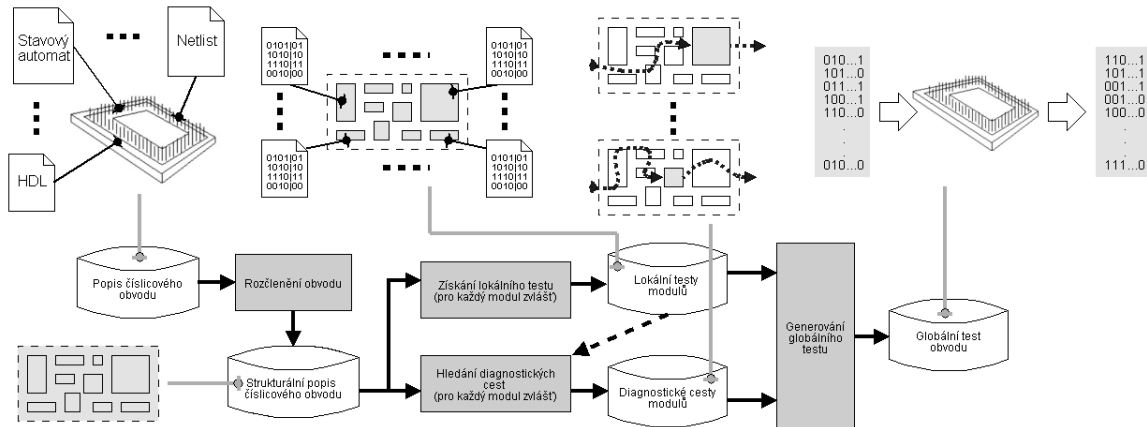
1.1 Testování číslicových návrhů

Problematika testování je jednou z nejdůležitějších, ale také nejnákladnějších a nejnáročnějších částí návrhového cyklu číslicového obvodu. Klasický přístup k testování obvodu spočívá v nalezení a aplikaci takových testovacích vektorů, pomocí nichž bude možné detekovat (a případně i lokalizovat) výskyt fyzické poruchy ve vyrobeném číslicovém obvodu. Množina (v případě kombinačního obvodu) resp. posloupnost testovacích vzorků (v případě sekvenčního obvodu) se nazývá *test*. Snahou je, aby test byl co nejkratší a aby dokázal odhalit co největší procento poruch z množiny poruch daného modelu poruch, tj. aby se test vyznačoval co nejvyšším *pokrytím poruch*.

U kombinačních obvodů je obecně dosahováno vyššího pokrytí poruch než u sekvenčních obvodů; to je způsobeno tím, že zatímco kombinační obvod reaguje na každý z testovacích vzorků stále stejnou odezvou, odezva sekvenčního obvodu na tentýž vzorek může být různá, protože obvod se může nacházet v různých vnitřních stavech, které nemusí být snadno dostupné. Pro odhalení dané poruchy v sekvenčním obvodu tedy obecně nepostačuje pouhá množina testovacích vzorků, jak je tomu v případě kombinačního obvodu, ale je nutné generovat jistou posloupnost, sestávající obecně z několika testovacích vzorků. Tato komplikace je způsobena právě tím, že u sekvenčního obvodu je nutné (kromě vlastní aplikace daného testovacího vzorku) také nastavit obvod do požadovaného vnitřního stavu a (kromě získání odezvy na tento vzorek) získat informaci o výsledném vnitřním stavu.

Neustálý pokrok v technologii výroby elektronických obvodů umožňuje realizovat velmi rozsáhlé a složité návrhy, což díky hnacím silám (mezi něž patří např. cena, výkon a čas nutný k uvedení výrobku na trh) konkurenčního průmyslového vývoje vede také k tlaku na soustavný návrh nových metod zabývajících se problematikou testování. Je však nutné poznamenat, že současné metody zabývajících se problematikou testování číslicových obvodů jsou o několik úrovní popisu vzadu za současnými návrhovými trendy – zatímco číslicové systémy již jsou navrhovány na

velmi vysokých úrovních abstrakce (např. System-on-a-chip nebo návrh založený na tzv. IP-jádrech), současné prakticky použitelné metody spojené s testováním na těchto úrovních jsou stále ve stádiu výzkumu.



Obrázek 1: Ilustrace k hierarchickému generování testu.

V řešení problémů spojených s testováním číslicových obvodů lze vysledovat několik vývojových směrů. Jeden z prvních směrů vývoje v oblasti generování testů vycházel při generování testu ze znalosti výsledné obvodové struktury a vedl k výpočetně náročným algoritmům, schopným však nalézt velmi kvalitní testy, tj. krátké testy garantující vysoké pokrytí poruch. Vzhledem k tomu, že tyto algoritmy byly prakticky omezeny na menší návrhy, vznikly techniky (tzv. *hierarchického generování testu*) založené na modulární dekompozici obvodu. Jejich cílem bylo rozdělit problém generování globálního testu na problém generování lokálních testů a jejich následným překladem na globální test. Ukázalo se však, že pro velmi rozsáhlé a složité obvody je takovýto překlad rovněž výpočetně náročný a navíc zde vzniká problém s volbou vhodné zrnitosti modulů. Jako alternativa ke strukturálně založeným metodám (*strukturální testy* [2]) proto vznikaly další metody, např. metody umožňující generovat test na základě popisu chování, nevyžadujícího znalost cílové obvodové struktury, tzv. *funkční testy* [2]. Jejich velkou nevýhodou je však právě jejich velká abstrakce od výsledné obvodové struktury, což obecně vede na generování méně kvalitních testů než v případě metod založených na strukturálním generování testů.

1.2 Testovatelnost

Odstranění nedokonalostí metod generování testů či zvýšení pravděpodobnosti generování kvalitnějšího testu lze obecně dosáhnout modifikací původního návrhu za účelem zlepšení jeho *testovatelnosti*¹ (angl. *testability*) – obvykle pomocí metod *návrhu pro snadnou testovatelnost* (angl. *DFT – design for testability*) [2] nebo pomocí metod *syntézy pro snadnou testovatelnost* (angl. *SFT – synthesis for testability*) [15]. V obou těchto případech modifikace (kromě zlepšení testovatelnosti) obecně vede k nárůstu plochy, počtu vývodů či změně dalších parametrů obvodu – např. dynamických či energetických.

Modifikace obvodové struktury za účelem zvýšení testovatelnosti obvodu se stala nerozlučnou částí moderních návrhů číslicových obvodů; aby bylo možné splnit *návrhová omezení* kladená na výsledný obvod (maximální přípustná plocha, maximální přípustný počet vývodů, maximální příkon, maximální doba aplikace testu, maximální přijatelná doba návrhu obvodu atd.) a současně byla nalezena modifikace vyznačující se vysokou testovatelností (tj. pokud možno co nejlepší testovatelností dosažitelnou při respektování návrhových omezení), je nutné, aby proces provádějící tyto modifikace byl informován o kvalitě dané obvodové modifikace.

¹ Testovatelnost je obvykle chápána jako charakteristika zohledňující různé náklady spojené s testováním navrhovaného číslicového obvodu - obvykle slouží jako ukazatel snadnosti tvorby a provádění efektivních testů (tj. krátkých testů s vysokým pokrytím poruch) číslicového obvodu.

Problematice testování číslicových obvodů se blíže věnuje *diagnostika číslicových obvodů* [2].

1.3 Analýza testovatelnosti

Patřičné informace obvykle poskytuje tzv. *analýza testovatelnosti* – jejím hlavním cílem je ohodnotit testovatelnost daného návrhu z hlediska splnění návrhových omezení a odhadované snadnosti generování a snadnosti aplikace testu. Pomocí analýzy testovatelnosti je pak možné nalézt přijatelný kompromis mezi návrhovými omezeními a testovatelností obvodu.

K nejčastějším faktorům, na jejichž základě je testovatelnost obvodu odhadována, patří [2] *řiditelnost* (tj. schopnost snadné ovladatelnosti hodnoty na daném uzlu z primárních vstupů obvodu) a *pozorovatelnost* (tj. schopnost snadného sledování hodnoty z daného uzlu na primárních výstupech obvodu). Vychází se přitom z obecného předpokladu, že čím lépe jsou uzly obvodu říditelné a pozorovatelné, tím lépe je daný obvod testovatelný. Jelikož definice testovatelnosti v současné době neexistuje² a ani by to nebylo účelné [2], liší se jednotlivé metody analýzy testovatelnosti jak svými cíli, tak úrovněmi abstrakce popisu obvodu, na nichž jsou použitelné.

Mezi obvyklé cíle metod pro analýzu testovatelnosti lze zařadit:

- numerické ohodnocení snadnosti nastavování resp. pozorování hodnot vyskytujících se na uzlech obvodu, tj. ohodnocení říditelnosti a pozorovatelnosti uzlů,
- lokalizaci obtížně testovatelných částí (portů, spojů, prvků, částí) obvodu,
- odhad pravděpodobnosti výskytu dané hodnoty na uzlech obvodu,
- odhad délky testu [18].

Pro jisté účely [2] však není analýza testovatelnosti vhodná – např. studie korelace mezi údaji o pokrytí poruch a mírami testovatelnosti ukazují, že míry dávají dosti nepřesný odhad toho, které poruchy bude možné detekovat a které naopak ne. Z toho vyplývá, že metody analýzy testovatelnosti nejsou příliš vhodné např. pro odhad pokrytí poruch. Zejména v praxi se však ukazuje, že míry testovatelnosti mohou být efektivně použity pro řadu jiných účelů – a to zejména k odhalení částí obvodu, vyznačujících se špatnou testovatelností – na základě této informace pak lze vhodnou modifikací obvodové struktury dosáhnout zlepšení testovatelnosti daného obvodu.

Existují metody analýzy testovatelnosti navržené pro obvody popsané na úrovni hradel (např. [4, 6]), pro obvody popsané na úrovni RT (např. [3, 7, 16]), pro obvody na úrovni popisu chování [9, 28], ale i metody víceúrovňové [5, 10, 13], provádějící analýzu na několika úrovních popisu – abstrakce popisu chování od struktury obvodu je u těchto metod kompenzována doplňujícími informacemi o struktuře. Během výzkumu v rámci mé disertační práce jsem se rozhodl pracovat na úrovni RT, která umožňuje neabstrahovat od struktury obvodu a přitom používat prvků o přijatelné zrnitosti.

2 Motivace a cíle disertační práce

Společnou myšlenku metod analýzy testovatelnosti lze vyjádřit jako snahu poskytnout dostatečné informace k takové modifikaci návrhu číslicového obvodu, která povede (při současném splnění návrhových omezení) k co nejlepšímu zvýšení testovatelnosti obvodu na dané úrovni popisu, tj. která povede k podstatné redukci nákladů spojených s generováním testu. Tato modifikace pak může být na základě těchto informací provedena buď ručně návrhářem/diagnostikem nebo může být automatizována a stát se tak součástí návrhových nástrojů.

² Avšak existují snahy o standardizaci jistých pojmů z této oblasti – již od roku 1998 pracuje standardizační skupina IEEE zabývající se problematikou diagnostiky elektronických systémů na návrhu standardu IEEE P1522 týkajícího se standardizace pojmů, zejména měř a vlastností z oblasti diagnostiky elektronických systémů - snahou je poskytnout bezesporné a jednoznačné definice těchto a dalších pojmů

Zatímco metodám analýzy testovatelnosti na úrovni RT předpokládajícím pseudonáhodné generování testu bylo věnováno nejvíce výzkumných prací (např. [3, 7, 16]), metod předpokládajících deterministické generování testu mnoho neexistuje – prakticky použitelné jsou v podstatě pouze metody využívající tzv. *transparentních režimů* [1, 8] (tzv. koncepce I/T resp. S/F režimů a cest) nebo *transparentních vlastností a operací* (jmenujme např. inicializaci, negaci, inkrementaci, linearitu) prvků a tzv. *transparentních kanálů* [14]. Nevýhodou těchto metod je pak buď to, že se obvykle omezují pouze na koncepci I cest, pracující pouze s podmnožinou transparentních datových cest, což může v jistých případech vést ke značnému zkrácení informace o odhadu skutečné testovatelnosti obvodu nebo že výpočetní náročnost analýzy testovatelnosti se blíží výpočetní náročnosti metody deterministického generování testu, což je proti obecnému předpokladu [2] výpočetní nenáročnosti algoritmu pro analýzu testovatelnosti.

V disertační práci jsem se nejdříve zaměřil na návrh metody analýzy testovatelnosti RTL obvodů, vycházející z myšlenky transparentních režimů prvků a neomezující se pouze na koncepci I režimů a cest. Snahou bylo zvolit vhodný kompromis mezi přesností analýzy transparentních datových cest obvodu a požadavkem nízké výpočetní náročnosti analýzy testovatelnosti. Jelikož zvolený formální model [17] pro popis těchto skutečností nepostačoval, bylo nutno jej patřičně rozšířit. Další výzkum byl zaměřen na ověření navržené metody a její aplikaci ve zvolených oblastech návrhu a diagnostiky číslicových obvodů.

Hlavní cíle disertační práce lze shrnout do následujících bodů:

- Rozšíření stávající koncepce transparentnosti a formálního modelu [17] RTL číslicového obvodu pro vysokoúrovňové modelování struktury datových cest číslicového obvodu.
- Návrh vztahů pro ohodnocení testovatelnosti číslicového obvodu [24, 25]
- Návrh a formální popis efektivního algoritmu pro analýzu testovatelnosti číslicového obvodu [11, 12, 20, 22, 24, 25]
- Ukázka aplikace navržené metody a ověření metody na vhodných obvodech a srovnání dosažených výsledků s výsledky obdobných metod [11, 12, 19, 21, 22, 23, 26, 27]

3 Základní body výzkumu

3.1 Rozšíření formálního modelu

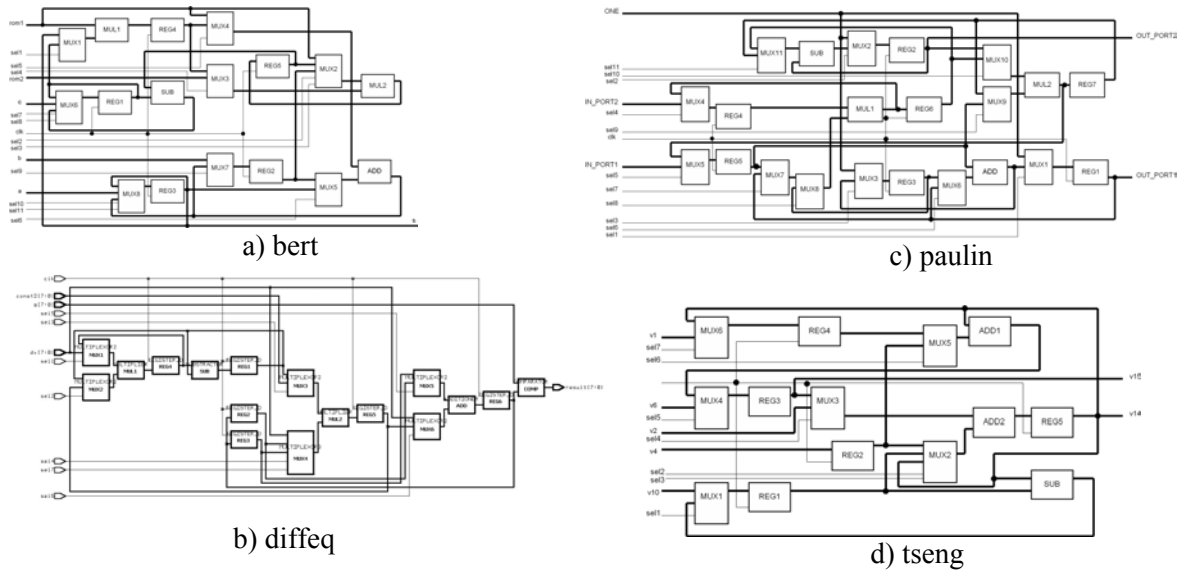
Cílem bylo rozšířit výchozí model, založený na tzv. koncepci I-cest, o prostředky, pomocí kterých je možno popsat v rámci této práce navrženou metodu pro analýzu testovatelnosti číslicového obvodu popsaného na úrovni meziregistrových přenosů; rozšíření výchozího modelu tedy v žádném případě nebylo samoúčelným, ale bylo vyvoláno potřebou modelovat další skutečnosti týkající se struktury obvodu, jeho podčástí a vlastností. Za nejdůležitější rozšíření výchozího modelu lze považovat zejména a) modelování bitových složek portů a spojů, rozlišení bran portů, b) modelování virtuálních portů a c) zobecnění modelu transparentních režimů a cest.

3.2 Návrh vztahů a metody analýzy testovatelnosti

S využitím prostředků rozšířeného modelu byly definovány vztahy [24, 25] pro ohodnocení říditelnosti, pozorovatelnosti a testovatelnosti částí obvodu i obvodu jako celku. Na základě těchto vztahů byl zkonstruován a formálně popsán algoritmus analýzy testovatelnosti sestávající z těchto základních částí: 1) Nastavení hodnot říditelnosti primárních vstupů na hodnotu 1, 2) šíření hodnoty říditelnosti obvodovou strukturou (s rostoucí hloubkou hodnota klesá k 0), 3) nastavení hodnot pozorovatelnosti primárních výstupů na hodnotu 1, 4) šíření hodnoty pozorovatelnosti obvodovou strukturou (s rost. hloubkou hodnota klesá k 0), 5) výpočet lokální testovatelnosti, 6) stanovení procenta neřiditelných a nepozorovatelných uzlů, 7) ohodnocení globální testovatelnosti.

3.3 Ověření a příklad aplikace navržené metody

Navržená metoda pro analýzu testovatelnosti byla prakticky ověřena na několika obvodech z benchmarkové sady HLSynth92 – jmenovitě na obvodech *bert*, *diffeq*, *paulin* a *tseng*; tyto obvody jsou s oblibou používány k ověřování obdobných metod a kromě ověření funkčnosti navržené metody na těchto „uznávaných testovacích obvodech“ nabízejí srovnat výsledky dosažené ověřovanou metodou s výsledky dříve publikovaných metod. Pochopitelně, jisté významné vlastnosti navržené metody byly nejen ověřeny pomocí těchto konkrétních obvodů, ale také byly dokázány pro libovolný obvod na této úrovni popisu. Ověřením bylo potvrzeno, že v jistých obvodových situacích navržená metoda poskytuje přesnější ohodnocení testovatelnosti daného obvodu, jelikož se neomezuje pouze na obvykle používanou (jednodušší, ale méně přesnou) koncepci *i-cest*, ale používá obecnějšího modelu toku diagnostických dat.



Obrázek 2: Benchmarkové obvody použité k ověření funkčnosti navržené metody.

Kromě návrhu, formálního popisu a ověření metody pro analýzu testovatelnosti byla v rámci výzkumu k tématu disertační práce metoda aplikována v oblasti návrhu pro snadnou testovatelnost (jako míra výhodnosti použití dané kombinace technik návrhu pro snadnou testovatelnost s cílem nalezení nejvýhodnější kombinace) a v oblasti generování benchmarkových obvodů popsaných na úrovni meziregistrových přenosů (jako míra obtížné testovatelnosti daného obvodu s cílem nalezení obvodových návrhů maximálně splňujících vstupní omezení a vyznačujících se minimální testovatelností).

4 Závěr a poděkování

Článek přehledově prezentuje základní body výzkumu k autorově disertační práci. Její výzkum byl zaměřen na návrh efektivní metody analýzy testovatelnosti číslicových obvodů na úrovni meziregistrových přenosů s cílem jejího ověření v oblastech návrhu pro snadnou testovatelnost a generování benchmarkových obvodů. Možnosti další výzkumné práce lze vidět např. v návrhu efektivní metody extrakce transparentních režimů z daného popisu prvků, v návrhu navazující metody automatizované konstrukce řadiče testu, v rozšíření navrženého modelu a metod o sběrnice orientované systémy a systémy na vyšších úrovních popisu či v návrhu metody pro generování testu založené na využití prostředků vytvořeného modelu. Rád bych zde poděkoval všem, kteří mě jakkoli podnítili a ovlivnili ve výzkumu týkajícího se tématu mé disertační práce a také těm, kteří mi v rámci řešení svých diplomových prací (Ing. Filip Buršík, Ing. Tomáš Herrman) či v rámci výzkumné činnosti (Ing. Tomáš Pečenka) pomohli s ověřováním navržené metody. Za

finanční podporu mého výzkumu pak děkuji zejména grantové agentuře GAČR, která jej podporovala v rámci grantu číslo 102/01/1531 “Formální přístupy v diagnostice číslicových obvodů – Verifikace testovatelného návrhu” a agentuře FRVŠ, která jej podporovala v rámci grantu číslo 1754/2002/G1 “Evoluční přístupy pro zvýšení testovatelnosti číslicových obvodů”.

Literatura

- [1] Abadir M. S., Breuer M. A.: A Knowledge-Based System for Designing Testable VLSI Chips, *IEEE Design and Test of Computers*, 2(4), 1985, s. 56 – 68
- [2] Abramovici M., Breuer M. A., Friedman A. D.: *Digital Systems Testing and Testable Design*. IEEE Press, Piscataway, NJ, 1990, 670 s.
- [3] Bukovjan P.: Allocation for Testability in High-Level Synthesis, *Institute National Polytechnique de Grenoble, disertační práce*, 2000, 130 s.
- [4] Abramovici M., Parikh, P. S.: Testability-Based Partial Scan Analysis. *Journal of Electronic Testing: Theory and Applications*, 7(1), 1995, s. 62 – 70
- [5] Corno F., Prinetto P., Sonza-Reorda M.: Testability Analysis and ATPG on behavioral RT-level VHDL, In: *Proceedings of International Test Conference*, 1997, s. 753 – 759
- [6] Goldstein L. H.: Controlability/Observability Analysis for Digital Circuits. *IEEE Transactions on Circuits and Systems*, 26(9), 1979, s. 685 – 693
- [7] Grason J.: 7 - a Testability Measurement Program. In *Proc. of IEEE/ACM Design Automation*, pp. 156–161, 1979
- [8] S. Freeman, “Test Generation for Data-Path Logic: The F-Path Method”, *IEEE Journal of Solid-State Circuits*, 23(2), 1988, s. 421 – 427
- [9] Hlavička J., Kotásek Z., Růžička R., Strnadel J.: Interactive Tool for Behavioral Level Testability Analysis, In: *Proc. of the IEEE ETW 2001, Stockholm, SE, 2001*, s. 117 – 119
- [10] Kotásek Z., Růžička R., Strnadel J., Zbořil F.: Two Level Testability System, In: *Proc. of the 35th Spring International Conference MOSIS'01, 2001*, s. 433 – 440
- [11] Kotásek Z., Růžička R., Strnadel J.: Formal and Analytical Approaches to the Testability Analysis - the Comparison, In: *Proc. of IEEE Design and Diagnostics of Electronic Circuits and Systems Workshop 2001*, s. 123 – 128
- [12] Kotásek Z., Mika D., Strnadel J.: Methodologies of RTL Partial Scan Analysis and Their Comparison, In: *Proc. of IEEE Workshop on Design and Diagnostic of Electronic Circuits and Systems, 2003*, s. 233 – 238
- [13] Lee J., Patel J. H.: Testability Analysis Based on Structural and Behavioral Information, In: *Proc. of VLSI Test Symposium, 1993*, s. 139 – 145
- [14] Makris Y., Orailoglu A.: Property-Based Testability Analysis for Hierarchical RTL Designs, In: *Proc. of International Test Conference on Electronic Circuits and Systems, 1999*, s. 1089 – 1092
- [15] Marzouki M., Alves V. C., Antunes A. R.: High-Level Synthesis for Testability, In: *Proc. of 38th IEEE Midwest Symp. on Circuits and Systems, Special Section on Testability Issues for Digital Circuits and Systems, 1995*, s. 718 – 721
- [16] Robinson G. D., Bennetts R. G., Maunder C. M.: 16: A Computer- Aided Measure for Logic Testability. In *Proc. of International Conference on Computer Communication, 1980*, s. 1162 – 1165
- [17] Růžička R.: Formální přístup k analýze testovatelnosti číslicových obvodů na úrovni RT, disertační práce, FIT VUT v Brně, 2002, 110 s.
- [18] Singer D. M.: Testability Analysis of MOS VLSI Circuits, *Proc. of International Test Conference, October 1984*, s. 690 – 696
- [19] Strnadel J.: Scan Layout Encoding by Means of a Binary String, In: *Proc. of 37th International Conference on Modelling and Simulation of Systems, 2003*, s. 115 – 122
- [20] Strnadel J.: Nested Loops Degree Impact on RTL Digital Circuit Testability, In: *Preprints of IFAC Workshop on Programmable Devices and Systems Conference, 2003*, s. 202 – 207
- [21] Strnadel J., Kotásek Z.: Optimising Solution of the Scan Problem at RT Level Based on a Genetic Algorithm, In: *Proc. of 5th IEEE Design and Diagnostics of Electronics Circuits and Systems Workshop, 2002*, s. 44 – 51
- [22] Strnadel J., Kotásek Z.: Testability Improvements Based on the Combination of Analytical and Evolutionary Approaches at RT Level, In: *Proc. of Euromicro Symposium on Digital System Design Architectures, Methods and Tools DSD'2002, 2002*, s. 166 – 173
- [23] Strnadel J.: Evaluating Cost/Quality Trade-off Solutions Proposed During a DFT Process, In: *Proceeding of 8th Conference Student EEICT 2002*, s. 506 – 510
- [24] Strnadel J., Kotásek Zdeněk: Normalized Testability Measures at RT Level: Utilization and Reasons for Creation, In: *Proc. of 36th International Conference MOSIS'02 Modeling and Simulation of Systems, 2002*, s. 297 – 304
- [25] Strnadel J.: Normalized Testability Measures Based on RTL Digital Circuit Graph Model Analysis, In: *Proc. of The fifth International Scientific Conference Electronic Computers and Informatics, 2002*, s. 200 – 205
- [26] Kotásek Z., Pečenka T., Sekanina L., Strnadel J.: Evolutionary Design of Synthetic RTL Benchmark Circuits, *Montpellier, 2004*, s. 107 – 108
- [27] Kotásek Z., Pečenka T., Strnadel J.: Improving Testability Parameters of Pipelined Circuits Through the Identification of Testable Cores, In: *Proc. of the 7th IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems, 2004*, s. 6
- [28] Thearling K., Abraham J. A.: An Easily Computed Functional Level Testability Measure, In: *International Test Conference, 1989*, s. 381 – 389