

# Optimalizace propojení řetězce scan po ukončení fyzického návrhu

**Pavel Bartoš**

Výpočetní technika a informatika, 1. ročník, prezenční studium

Školitel: Zdeněk Kotásek

Fakulta informačních technologií, Vysoké učení technické v Brně

Božetěchova 2, Brno 612 66

ibartos@fit.vutbr.cz

**Abstrakt.** Článek popisuje motivaci, cíle a dosavadní výsledky studenta při řešení disertační práce zaměřené na analýzu řetězce registru scan po ukončení fyzického návrhu. Je představena nová metoda snižování doby aplikace testu obvodu reorganizací scan řetězce. Princip metody spočívá v eliminaci některých možných poruch v obvodu, čímž dochází ke snížení počtu testovacích vektorů a tím i času potřebného pro otestování obvodu. Metoda byla ověřena na několika reálných obvodech, přičemž výsledky těchto testů jsou rekapitulovány v závěru článku. V závěru článku je též diskutován další směr výzkumu a jsou charakterizovány cíle disertační práce.

**Klíčová slova.** scan řetězec, diagnostika, testování, optimalizace, doba testování

## 1 Úvod

Současně s aktuálním prudkým rozvojem elektrotechnického průmyslu dochází i k zvyšování stupně integrace při výrobě elektronických obvodů [1]. Vzhledem k fyzikálním omezením výrobních technologií nelze zajistit bezporuchovou produkci všech integrovaných obvodů. Z tohoto důvodu je nutné vyrobené IO testovat, zda je IO bezporuchový, protože odhalením špatné funkce IO ve fázi výroby lze předejít významně větším ztrátám při zjištění poruchového IO, který je již součástí složitějšího systému.

Současné obvody jsou většinou příliš složité na provedení testů přes primární vývody obvodu, proto je za účelem zajištění dobré testovatelnosti do obvodů vkládána pomocná logika, která umožňuje dosažení vysokého pokrytí chyb. Tato pomocná logika se skládá z registrů, které jsou sériově zapojeny do řetězce; toto zapojení se nazývá scan řetězec (více v [4]).

Pořadí registrů v tomto řetězci většinou vychází z funkčního zapojení obvodu a jejich pořadí často není z různých důvodů optimální, ale pořadí těchto registrů v řetězci lze měnit beze změny testovatelnosti obvodu.

Přeuspořádání scan řetězce se v současné době provádí např. za účelem snížení příkonu při testování obvodu [2], [5]. Zvýšený příkon obvodu během aplikace testu je problematický zejména u VLSI obvodů, protože se mohou projevit negativní jevy jako je např. pokles napětí na napájecích linkách, přerušení spojů v důsledku elektromigrace, rušení způsobené elektromagnetickou indukcí a zvýšení teploty čipu. Jsou známy metody jak snížit statický i dynamický příkon na základě optimalizace pořadí aplikace testovacích vektorů i pořadí zapojení registrů do řetězce scan [5]. Toto přeuspořádávání se provádí i z důvodu zlepšení pokrytí chyb způsobených zpožděním [6].

Vedle dobré testovatelnosti obvodu je nutné při návrhu obvodu vzít v úvahu i dobu aplikace testu, protože čím je test časově kratší, tím více obvodů je možné otestovat a vyrobit a dochází tak ke snížení

výrobních nákladů. Tento aspekt je zohledněn ve výsledcích výzkumu prezentovaných v tomto příspěvku. Zabývá se reorganizací registrů do scan řetězce po ukončení fyzického návrhu za účelem snížení doby testování obvodu odstraněním některých problematických spojů ve scan řetězci, které jsou náchylné k poruchám.

V tomto příspěvku bude nejprve v sekci 1.1 uvedena motivace řešení tohoto problému, kde bude v závěru vyslovena hypotéza, kterou budeme experimentálně ověřovat. Dále je popsána metodika optimalizace (kap. 2) a výsledky testů (kap. 4). Na závěr práce jsou shrnuty výsledky, cíle disertační práce a je diskutován další možný směr výzkumu.

## 1.1 Motivace

Pro výrobu analogově-číslicových (mixed-signal) integrovaných obvodů se často používají technologie s nižším rozlišením (typicky 0,25 až 0,7  $\mu\text{m}$ ). Složitější obvody jsou proto rozměrné a náklady na jejich výrobu vysoké. Jednou z cest jak výrobní náklady snížit při zachování plochy obvodu je snížení počtu propojovacích kovových vrstev. Snížení počtu propojovacích vrstev má zanedbatelný vliv na analogovou část, kde se nachází výrazně menší počet spojů než v číslicové části, ale při automatickém návrhu fyzické podoby číslicové části obvodu (automatic digital place and route), však dochází k následujícím jevům:

- prodlužování spojů – návrhový nástroj nemůže realizovat spoj nejkratší cestou
- zvyšování počtu propojovacích přechodů mezi kovovými vrstvami (metal vias) – návrhový nástroj nemůže realizovat spoj v jedné kovové vrstvě
- obtížná realizace dlouhých spojů – nástroj těžko hledá cestu, neboť jednotlivé spojové vrstvy jsou přeplněny

V řadě případů návrhový nástroj není schopen součástky propojit a zachovat požadovanou plochu obvodu. Pokud se podaří propojení úspěšně realizovat, velký počet dlouhých spojů a velký počet přechodů mezi propojovacími vrstvami snižuje spolehlivost obvodu. Souběžné dlouhé spoje jsou při výrobě náchylné ke zkratům (bridging fault). Propojovací spoje mezi vrstvami naopak mohou mít špatnou vodivost.

K testování špatných přechodů mezi vrstvami lze použít běžné testovací vektory pro testování poruchy trvalá jedna/nula (stuck-at fault). Testování zkratů však vyžaduje značné množství testovacích vektorů, neboť odhalení zkratu mezi párem vodičů vyžaduje buzení všemi čtyřmi kombinacemi logických hodnot.

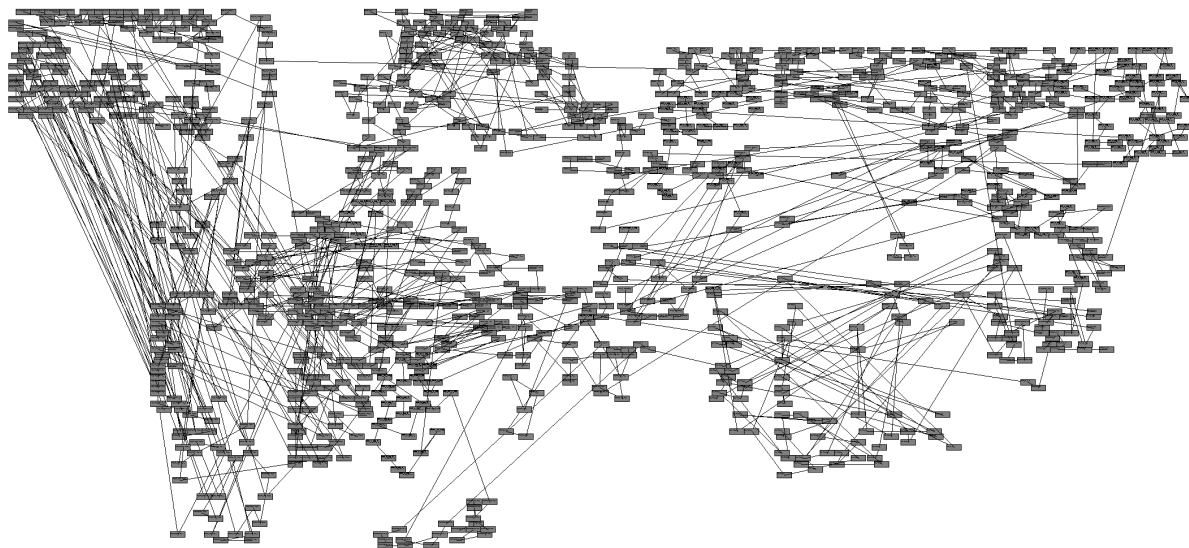
Z výše uvedeného vyplývá, že můžeme vyslovit hypotézu, že pro úspěšnou realizaci číslicového obvodu s malým počtem propojovacích vrstev je vhodné snížit počet dlouhých spojů v obvodu. Kromě toho by se snížení počtu dlouhých spojů mělo projevit menším počtem testovacích vektorů pro testování zkratů.

## 2 Metodika návrhu

Při realizaci obecného číslicového obvodu lze velmi omezeně ovlivnit délky spojů. Jedinou možností je vhodné rozmístění jednotlivých funkčních bloků (floorplanning), tak aby funkčně propojené bloky spolu sousedily. Dílčí součástky a spoje však rozmisťuje návrhový nástroj automaticky tak, aby vyhověl zejména časovým požadavkům na obvod (timing constraints).

Významným způsobem lze ale ovlivnit propojení jednotlivých klopných obvodů do scan řetězce. Scan se vkládá do netlistu obvodu po logické syntéze, kdy ještě není k dispozici informace o reálné poloze jednotlivých klopných obvodů. Z toho důvodu se při vkládání nebere v úvahu poloha, ale pouze logická struktura obvodu případně další požadavky na testovatelnost obvodu.

Cílem naší práce v této fázi výzkumu bylo ověřit, že po provedení fyzického rozmístění a propojení (place and route) obvod obsahuje řadu dlouhých spojů mezi jednotlivými klopnými obvody. Na ilustračním obrázku 1 lze vidět, že propojení registrů pravděpodobně závisí jen na jejich uspořádání do logických celků a jejich vzájemná poloha po rozmístění na čipu není brána v úvahu, protože po sobě následující registry jsou často propojovány přes značnou část plochy čipu.



Obrázek 1: Vizualizace fyzického rozmístění a propojení registrů scan řetězce v testovacím obvodu č. 2.

Na základě informací o poloze jednotlivých klopných obvodů lze propojení scan řetězce změnit tak, aby spoje byly kratší. Pro takto optimalizovaný scan řetězec se provede nové fyzické propojení (ECO re-route) beze změny rozmístění klopných obvodů.

Pro ověření výše zmíněné hypotézy byla vytvořena metodika, která sestává z těchto kroků:

1. syntéza z úrovně meziregistrových přenosů (RTL) do netlistu
2. fyzické rozmístění a propojení (place and route)
3. změna propojení scan řetězce
4. úprava netlistu
5. nové fyzické propojení (re-route)

### 3 Algoritmus optimalizace

Poloha registrů na čipu je pevně dána a není ji možné při optimalizacích měnit. Optimalizovat je tedy možné pouze změnou propojení mezi registry, tj. změnou pořadí registrů v řetězci. Cílem optimalizace je minimalizovat délku spojů mezi registry v řetězci.

#### 3.1 Formalizace problému

Scan řetězec lze převést na grafový model, kdy jednotlivé registry se stanou uzly a propoje mezi registry se stanou hranami grafu. Ohodnocení hran udává vzdálenost mezi registry a ke každému uzlu náleží dvě hrany (s výjimkou počátečního a koncového uzlu, které mají jen jednu hranu). Je zřejmé, že takový graf musí být cesta.

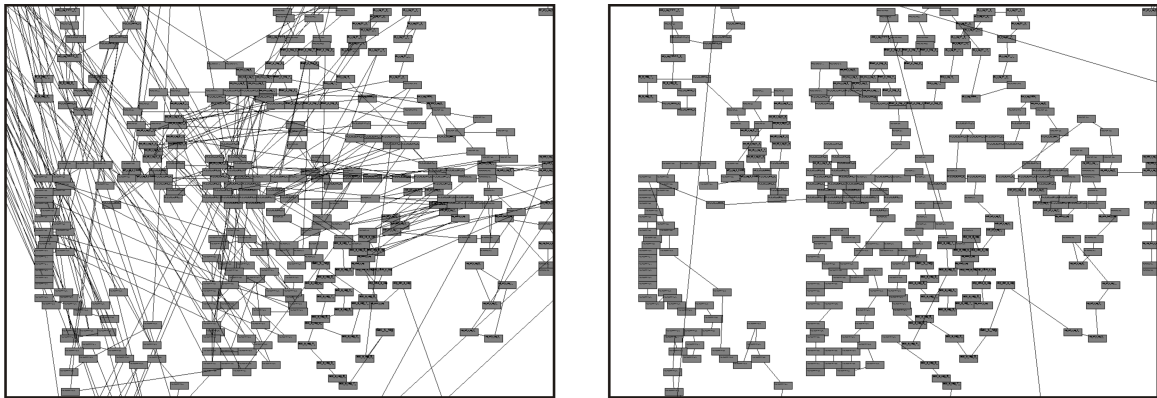
Optimalizační problém lze transformovat na problém obchodního cestujícího (travelling salesman problem) s tím rozdílem, že se na závěr cesty nemusíme vracet do výchozího bodu (města).

### 3.2 Volba algoritmu

Problém obchodního cestujícího je NP-úplný problém. Pro jeho řešení nad velkým počtem měst nelze použít exaktní algoritmy kvůli jejich velké složitosti (nejlepší nalezený algoritmus využívající dynamického programování má složitost  $O(2^n)$  ( $n$  je počet měst) [3]. Je třeba použít heuristické algoritmy, které mohou poskytnout dostatečně dobré řešení v přijatelném čase.

Zřejmě nejjednodušším heuristickým algoritmem pro řešení problému obchodního cestujícího je hladový algoritmus (nearest neighbour algorithm), který vždy pokračuje do nejbližšího ještě nenavštíveného města. Tento algoritmus rychle konverguje, přičemž pro náhodně rozmístěná města poskytuje řešení, které je v průměru přibližně o čtvrtinu horší než nejlepší řešení. Z důvodu jednoduchosti implementace a rychlosti konvergence byl tento algoritmus zvolen pro ověření hypotézy, že zkrácením spojů přeuspořádáním registrů v řetězci dojde ke zmenšení počtu testovacích vektorů pro testování zkratů.

Ukázalo se, že algoritmus skutečně odstraní většinu dlouhých spojů a průměrnou délku spojů mezi registry zmenší průměrně na jednu třetinu (viz obr. 2). Toto optimalizované propojení scan řetězce bylo následně včleněno do původního obvodu a bylo provedeno nové fyzické propojení, jehož výsledky jsou uvedeny v následující kapitole 4.



Obrázek 2: Příklad optimalizace propojení části scan řetězce (detail). Vlevo je stav před optimalizací, vpravo po optimalizaci.

## 4 Výsledky testů

Popsaná metoda optimalizace byla vyzkoušena na několika reálných obvodech. Při testu byly použity následující nástroje:

- Synopsys Design Compiler (syntéza)
- Cadence Encounter (fyzické rozmístění a propojení)
- Mentor Calibre (určení poruch - vodičů náchylných ke zkratům)

Výsledky testů jsou uvedeny v tabulce 1.

Z výsledků testů vyplývá, že metoda dokáže snížit počet vodičů náchylných ke zkratům, nicméně zlepšení není příliš významné. Analýzou seznamu vodičů náchylných k poruchám typu bridge-fault bylo zjištěno, že skutečně došlo k odstranění většiny potenciálních zkratů mezi spoji scan řetězce a ostatními vodiči, ale vzhledem k nízkému počtu propojovacích kovových vrstev je propojování prostorově náročné a to

Tabulka 1: Výsledky provedených testů.

Obvod	Počet ekviv. hradel	Počet scan řetězců	Počet klopných obvodů	Počet poruch zkratem	Počet poruch zkratem po optimalizaci	Poměr počtu poruch po/před optimalizací
Test_01	41 821	2	2 285	1 799 924	1 756 724	97,6 %
Test_02	28 565	1	1 129	1 350 334	1 328 730	98,4 %
Test_03	16 136	1	745	887 508	877 745	98,9 %
Test_04	45 880	2	2 173	2 508 410	2 430 473	96,9 %

způsobilo další potenciální poruchy, na které je nutné obvod testovat. Je jich ale ve všech testovaných případech menší počet než u původního zapojení. Zajímavé je zjištění, že metoda dosahuje podobných výsledků na obvodech stejné velikosti (test\_02–test\_03, test\_01–test\_04).

## 5 Cíle disertační práce

Doposud jsem se zabýval optimalizací propojení scan řetězce pouze zkrácením délky spojů mezi registry s cílem snížit počet testovacích vektorů a tím dobu testování. Předpokládaný směr řešení disertační práce je dále se zabývat touto optimalizací, hledat její další kritéria a najít metodologii, která by dokázala zkrátit čas testování obvodu.

## 6 Závěr

Tato práce prezentuje novou techniku snižování ceny diagnostiky obvodu snížením počtu potenciálních poruch, na jejich výskyt je nutné obvod testovat. V úvodu je shrnut aktuální stav v oblasti optimalizace propojení scan řetězce. V dalších kapitolách je představena motivace a návrh způsobu optimalizace. Metoda byla vyzkoušena na několika reálných obvodech, přičemž se ukázalo, že metoda skutečně zmenší počet potenciálních poruch typu bridge-fault. Toto snížení je jen přibližně 2 %, protože dosavadní práce směřovala pouze k ověření hypotézy. Ovšem i takto malé snížení je při denní hromadné výrobě velmi vítané. V dalších fázích výzkumu budeme metodu dále zlepšovat tak, aby snížení bylo větší.

### 6.1 Další směřování výzkumu

Poměrně malé snížení počtu potenciálních poruch je pravděpodobně způsobeno obtížným vytvářením spojů mezi registry na nízkém počtu propojovacích vrstev, kdy jsou sice odstraněny původní problematické spoje, ale po reorganizaci jsou vytvořeny nové, je jich ale ve všech testovaných případech méně.

Před dalším vývojem bude nutné analyzovat fyzické rozvržení čipu a zjistit zda reálná délka spojů mezi registry je skutečně úměrná jejich vzájemné přímé vzdálenosti, jak bylo předpokládáno. Dále bude třeba metriku vzdálenosti dvou registrů upravit tak, aby odrážela např. nutnost přechodu mezi propojovacími vrstvami. Tj. penalizovat cesty, které jsou sice krátké, ale obsahují velký počet přechodů mezi vrstvami a jsou tudíž náchylné ke vzniku poruch.

Další možností jak zlepšit výsledky je použití některého pokročilejšího heuristického algoritmu na řešení problému obchodního cestujícího. Toto zlepšení by ale nejspíše bylo s použitím současné metriky poměrně malé.

Naším cílem je metodiku dále vylepšovat přidáváním dalších kritérií optimalizace propojení řetězce scan a vytvořit tak multikriteriální problém, který budeme optimalizovat, což umožní další zkrácení testování.

Jedním z takovýchto kritérií může například být preferování umístění registrů, které slouží k ovládní D/A převodníku, na začátek řetězce scan. Při testování pouze D/A převodníku potom není nutné testovací vektor posouvat celým řetězcem, ale postačí jen nasunout část testovacího vektoru na začátek řetězce. Podobně je vhodné preferovat umístění registrů A/D převodníku na konci řetězce, protože to umožní odezvu na A/D převod rychle vysunout z řetězce ven.

## Poděkování

Výzkum je podporován grantem FIT VUT Brno číslo FIT-10-S-1 – "Bezpečné, spolehlivé a adaptivní počítačové systémy", projektem MSM0021630528 – "Výzkum informačních technologií z hlediska bezpečnosti" a projektem GA102/09/1668 – "Zvyšování spolehlivosti a provozuschopnosti v obvodech SoC".

## Reference

- [1] ROY, K.; PRASAD, S. C.: Low-Power CMOS VLSI Circuit Design. USA: A Wiley-Interscience publication, 2000, ISBN 0-471-11488-X, 359 s.
- [2] CHAKRAVARTY, S.; DABHOLKAR, V.: Minimizing Power Dissipation in Scan Circuits During Test Application. In Proceedings of International Workshop on Low-Power Design, 1994, str. 20.
- [3] DABHOLKAR, V.; CHAKRAVARTY, S.; POMERANZ, I.; AJ.: Techniques for Minimizing Power Dissipation in Scan and Combinational Circuits During Test Application. IEEE Transaction on Computer-Aided Design of Integrated Circuits and Systems, ročník 17, č. 12, 1998: s. 1325–1333.
- [4] KOTÁSEK, Z.: Uplatnění principů říditelnosti/pozorovatelnosti při návrhu číslicových obvodů. Habilitační práce, 1999, FIT VUT v Brně, 80 stran.
- [5] ŠKARVADA, J.: Optimalizace aplikace testu číslicových systémů pro nízký příkon. Disertační práce, 2009, FIT VUT v Brně, 125 stran.
- [6] WEI, L.; SEONGMOON, W.; SRIMAT, T. C.; SUDHAKAR, M. R.: Distance Restricted Scan Chain Reordering to Enhance Delay Fault Coverage. In Proceedings of 18th International Conference on VLSI Design held jointly with 4th International Conference on Embedded Systems Design (VLSID'05), 2005, str. 471–478.